

(3)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-122985
(43)Date of publication of application : 23.04.1992

(51)Int.Cl. G09G 5/00
G09G 1/16
G09G 3/36

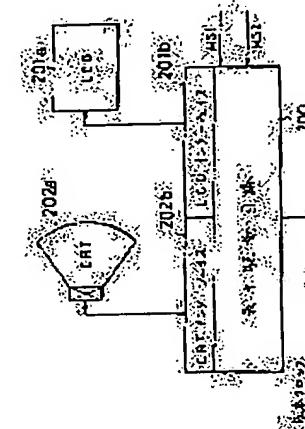
(21)Application number : 02-242454 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 14.09.1990 (72)Inventor : TOKUMITSU SHIGENORI

(54) DISPLAY DRIVING CIRCUIT

(57)Abstract:

PURPOSE: To offer the display driving circuit which is adaptive to various LCDs and CRTs without varying a fundamental clock by adding a circuit which controls the period of a subordinate clock SCP in various modes to the display driving circuit.

CONSTITUTION: The display driving circuit 200 constituted by adding a variable shift register to a display driving circuit drives both an LCD 201a and a CRT 202a. Thus, the display driving circuit 200 is adaptive to even a terminal equipped with an LCD interface 201b and a CRT interface 202b. The fundamental clock of the display driving circuit is varied to adapt the circuit to various LCDs, but the display driving circuit 200 to which the simple circuit controlling the period of the subclock SCP in various modes is added can generate the best interface signals for various LCDs without varying the frequency of the fundamental clock and can drive even the CRT.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

のデータとCRT用のデータとでは基本的にサブクロック手段と、上記シフトレジスタの出力から液晶デバイスクロックが異なる。また、CRTにおいては基本クロックを固定しないとCRTに正しい表示を提供するためには、LCD及びCRTに適応する駆動回路を提供しようとする場合、相反する製造要件を有することになる。

(発明が解決しようとする課題)

上記のように各種のLCDに対応させるには表示駆動回路の基本クロックを変えることにより対応できるが、CRTにおいては基本クロックは固定でなければならない。

そこでこの発明は表示駆動回路の基本クロックを変えることなく各種LCD及びCRTに対応できる表示駆動回路を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

基本クロックが供給され、各種モード設定に応じて巡回周期が変化して、その出力として各モード応じたサブクロックを出力するシフトレジス

タを読み出すためのクロック信号を発生する手段及び横方向の表示アドレスを発生する第1と第2のアドレスカウンタ手段と、上記2つのアドレスカウンタ手段の出力を合成して液晶表示データの読み出しアドレスをメモリに供給する手段と、上記アドレスに従って上記メモリより読み出されたデータをラジテするレジスタ手段などを具備したものである。

上記手段によれば、一方では基本クロックを変えることがないので、何時でもCRT用のクロックとして利用でき、他方では上記シフトレジスタの巡回周期を変えることにより各種タイプの液晶表示装置用のクロックとして利用することができる。

(実施例)

以下この発明の実施例を図面を参照して説明する。

第1図はこの発明の実施例である。

入力端子10には、例えば(32シ5)1sc(1sc:搬送色信号周波数)の基本クロックが入力される。この基本クロックは可変シフトレジスタ回路41に入力される。可変シフトレジスタ41はモード切換え信号によってその巡回周期を変えることができる。可変シフトレジスタ回路41から出力されたシグナルのサブクロックS-C.P.は表示駆動回路100に入力される。

上記可変シフトレジスタ回路41は、この発明の要部なる回路であるが、その前に表示駆動回路100の構成及び動作から説明する。S-C.P.はLXカウンタ21に加えられる。このS-C.P.はLXカウンタ21は液晶表示画面の横(X)方向に加えられる。また、サブクロックS-C.P.は液晶表示装置の横(X)方向のデータを読み出すサンプリング信号として、表示部インターフェイスに送出される。

LXカウンタ21は、例えば160進のカウン

タである。これは、例えば液晶表示用のデータを4ビット構成とすると、640個を表示するには160個(-640/4)のアドレスを発生すれば640ビットのデータを読み出すことができるからである。LXカウンタ21から出力されるアドレスは8ビット出力(LX0-LX7)であり、画面横方向のアドレスとしてアドレス合成回路27とLXデコーダ22に供給される。

またLXデコーダ22では液晶表示画面の1ライン単位のラッチバルス信号L.P.及びL.X.カウンタ21を160進カウンタとするため、セレクトバルス信号R.L.X.が作られる。ラッチバルス信号R.L.X.は、更にLYカウンタ23にも加えられている。LYカウンタ23は液晶表示画面の縦(Y)方向のアドレスを発生するためのものである。LYの単位データを読み出すサンプリング信号として、カウンタ23は、そのバードウエアを低減するために、液晶表示画面の半分のアドレスを発生する程度の規模で構成されている。

(5) デジタル回路の構成

LYカウンタ23は、液晶表示画面のY方向が、
2400画素の場合は200進のカウントモード480
画素の場合は240進のカウンタとして動作する
ように切換えられる。この切換えは、LYデータ
レジスタ24により実現される。

即ち、LYカウンタ23の8ビット出力
(LY0～LY7)はLYデータレジスタ24に加算回
路26に加えられる。またLY0～LY7は液晶
表示画面の上半分のライシテドリズデータとして
アドレス合成回路27にも加えられる。液晶表示
画面の下半分のライシテドリズデータはLY0
～LY7が加算器26で修正されだ後アドレス合
成回路27に入力されることで実現される。

またLYデータレジスタ24ではフレームバルス信号FP
とLYカウントモード23のリセットパルス信号R¹LY
が作られる。このリセットパルス信号R¹LYは
2400画素又は240画素に対するもので、モード
選定回路25からの制御によってLYカウンタ23が
200進又は240進となるように設定される。
また加算回路26はモード選定回路25の制御に

より各信号(即ちSCP信号)を示す。すなはち
表示画素数が640×400画素の場合は、
ラジエム周波数は60Hzの場合、リセット周
波数はLP=60Hz×200進=1.2kHz。
SCP=LP×1.60=1.92MHz。
即ち基本クロック用周波数は約1.92MHz。
表示画素数が640×400画素の場合は、
ラジエム周波数は70Hzの場合、リセット周
波数はLP=70Hz×200進=1.4kHz。
SCP=LP×1.60=2.24MHz。
即ち基本クロック周波数は2.24MHz。
表示画素数が640×480画素の場合は、
ラジエム周波数は60Hzの場合、リセット周
波数はLP=60Hz×240=14.4kHz。
SCP=LP×1.60=2.304MHz。
即ち基本クロック周波数は2.304MHz。

表示画素数が640×480画素の場合は、
フレーム周波数は70Hzの場合、リセット周
波数はLP=70Hz×240=16.8kHz。
SCP=LP×1.60=2.688MHz。

より画面下半分のアドレスを作成するためのオフ
セット信号と前記LYカウンタ23の8ビット出
力(LY0～LY7)を加算する。このオフセット
信号はまだLYカウンタ23が200進又は
240進と動作する場合にもその値が切換えら
れる。

アドレス合成回路27はLPが211、
LYカウント23及び加算回路26からのカウント
値を合成してLCDデータの読み出しアドレス
を作り出しメモリ回路310に输出する。

メモリ回路310は読み出しアドレスに応じた
データをデータラッチ回路28とデータラッ
チ回路29に出力する。

データラッチ回路28及びデータラッチ回路
29の出力はそれぞれLCDの上半分に表示すべ
きデータ(U'D₀～U'D₁)及び下半分のデータ
(U'D₂～U'D₃)として他の制御信号(SCP
信号、LP信号、FP信号)と共にLCDインタ
フェースに送出される。

以下、上記回路構成における各種LCDの基本

を示す。即ち基本クロック周波数は2.304MHz。
以上記のようく基本クロックを設定すれば各種
LCDに対応できる表示駆動回路を提供できるが、
更にLCDにても対応させるために、この実施例
では可変シフトレジスタ回路411を接続してい
る。これと連携してここで示す各周波数(ロード

即ち、基本クロックは固定として上記可変シフ
トレジスタ回路411により各種の液晶表示装置
に適応できるサブクロックSCPを得られるよう
にしている。

このシステムの基本原理を説明する。
例えばこのシステムをキャプテンシステムのラ
イセンス端末に使用する場合、その端末の画面表
示データのドットクロックは32/5MHz(=
6.4MHz)である。即ち各ドットの表示時間は
1/32.5MHzである。

以下、基本クロックを(32/5)MHzとし
た場合の、各種液晶表示装置に対応するサブクロ
ックSCPは以下のようになる。

表示画素数: 640×400画素
フレーム周波数: 60Hzの場合、

「表示画面」

「 SCP : 3 2 / 5 f s c 1 2 クロック分、
出力」がこの時 F P 信号は 5.9 Hz となる。

「表示画面数：640 × 400 画素」が、
「フレーム周波数：70 Hz」の場合、さすがに
「SCP : 3 2 / 5 f s c 1 0 クロック分」
この時 F P 信号は 7.1.6 Hz となる。

「表示画面数：164410 × 4480 画素」が、
「フレーム周波数：60 Hz」の場合、さすがに
「SCP : 3 2 / 5 f s c 1 0 クロック分」

この時 F P 信号は 5.9.7 Hz となる。

「表示画面数：640 × 480 画素」が、
「フレーム周波数：70 Hz」の場合、さすがに
「SCP : 3 2 / 5 f s c 8 クロック分」

この時 F P 信号は 7.0.2 Hz となる。

「表示画面数：640 × 480 画素」が、
「フレーム周波数：60 Hz」の場合、さすがに
「SCP : 3 2 / 5 f s c 8 クロック分」
等である。この時 F P 信号は 7.0.2 Hz となる。

「万即ち、使用する LCD に応じて基本クロック

A = (3.2/4.5) × 8 (c) の 8.5 クロック周期、610

9.3 クロック周期及び 1.2 クロック周期に、サブクロック

でクロスドリフトを発生すれば良い。」とある。

ここで 8.5 クロック周期を得るには、8 クロック

基底クロック周期と 9.3 クロック周期を切換えることにより

、新たにより実現される(同図(4)参照)。1.2
等のビットシフトレジスタを形成する場合、同様に
L.S.F.1 と L.S.F.2 の間に及び L.S.F.7 と L.S.F.8
の間に、それぞれ 2 ビット分のレジスタ(フリップ
フロップ 5.2, 5.3 及びフリップフロップ 5.4,

5.5) が挿入されることにより実現される。(同図

(4) 参照) が、その結果、図(4)を除くと、

第3回は、上記した可変シフトレジスタ回路
の具体的例である。5.1 はフリップフロップ

(L.S.F.1 ~ L.S.F.8) からなる 8 ビットシフト
レジスタである。4.4 は、4.3 の代わりに、

4.4 フリップフロップ L.S.F.1 の出力端子は選択回
路 5.6 に接続されると共に、4.4 の出力端子は

4.4 フリップフロップ 5.2 の入力端子に接続され
る。4.4 フリップフロップ 5.2 の出力端子は選択回路

5.6 に接続されている。選択回路 5.6 の出力端子は
L.S.F.2 の入力端子に接続されている。

従って、選択回路 5.6 は、L.S.F.1 の出力端子

から実現できる。液晶を「表示」する場合、
第2回は可変シフトレジスタ回路 4.1 の動作原
理図を説明するための図である。出力の次第
に、可変シフトレジスタ 4.1 は、フリップフロ
ップ (L.S.F.1 ~ L.S.F.8) からなる 8 ビットシ
フトレジスタ 5.1 を基本にし、この 8 ビットシ
フトレジスタ 5.1 は、使用する LCD のモードに応
じて 8/9 ビットシフトレジスタ、1.0 ビットシ
フトレジスタ及び 1.2 ビットシフトレジスタに切
替は換えることができる。この回路は、入力端子
で即ち、8/9 ビットシフトレジスタを形成する
場合は L.S.F.1 と L.S.F.8 を構成される 8 ビット
シフトレジスタと L.S.F.7 と L.S.F.8 の間に、
1.0 ビット分のレジスタ(フリップフロップ 5.4) を
挿入して構成される 9 ビットシフトレジスタと
同様に切替は換える、(第2回(6)参照)。1.0 ビ
ットシフトレジスタを形成する場合は L.S.F.1 と
L.S.F.2 の間に及び L.S.F.7 と L.S.F.8 の間に、それ
ぞれ 1.0 ビット分のレジスタ(フリップフロップ
5.2, 5.3, 5.4) が挿入される。

と L.S.F.2 の入力端子とを直接接続した状態と、
L.S.F.1 の出力端子と L.S.F.2 の入力端子との
間にフリップフロップ 5.2 を接続した状態と、
L.S.F.1 の出力端子と L.S.F.2 の入力端子との
間にフリップフロップ 5.2, 5.3 を接続した状態と
を選択的に形成することができる。

上記のよう、選択回路 5.6 の各状態を切換える
切換え信号は、入力端子 7.1, 7.2 に与えられる
モード切換え信号 M.S.1, M.S.2 である。

更に、フリップフロップ L.S.F.7 の出力端子は
選択回路 5.7 に接続されると共に、フリップフロ
ップ 5.4 の入力端子に接続される。又、フリップ
フロップ 5.4 の出力端子は選択回路 5.7 に接続されると共に、フリップフロップ 5.5 の入力端子に接
続される。フリップフロップ 5.5 の出力端子は選
択回路 5.7 に接続されている。選択回路 5.7 の出力端子は
L.S.F.8 の入力端子に接続されている。

更に、選択回路 5.7 は、L.S.F.7 の出力端子
と L.S.F.8 の入力端子とを直接接続した状態と、
L.S.F.7 の出力端子と L.S.F.8 の入力端子との

5.9%の出力はどの程度となるか。図-11を参考して、次にバルス発生回路-610の動作について説明する。ハンドルの動作期間T1は0.81ビットシフトレジス

第 1 図はこの装置の実施例を示す。第 2 図

第14図はこの発明の実施例を示す図、第2図
は第5図は、表示駆動回路41-10-10に可変シフトレジ「」は第14図の可変シフトレジ/スタ回路の基本概念を
示す図、第3図は第14図の可変シフトレジ/スタ回路
を210.12とCR120.12の双方を駆動する場合の回路の構成を示す図、第24図は第14図のタイミング
を示している。また、その出力端子を示す。第25図は第14図の回路の使用

この様に、表示駆動回路 200 は、 L 、 C 、 D インバータ構成で示す圖で構成される。

レバーフェイス $2^{\circ}0'13''$ とC級リバーフェイス $2^{\circ}1'0''$ 、 $2^{\circ}2'0''$ の入力端子と $7^{\circ}3'0''$ の出力端子、 $2^{\circ}2'0''$ を偏光した端末でも対応することができる。 $2^{\circ}1'0''$ と $2^{\circ}2'0''$ はL¹Xカウンタ、 $2^{\circ}2'0''$ はL²Xデコーダで $2^{\circ}3'0''$ は偏光回路の効率化を考慮して用意された。

（見方の結果） 1. L. ライブランク、2.4. リバーディヨーナ、2.5. モーリス・ラムゼー、2.6. リバーディヨーナ

この発明によれば、表示駆動回路、1-100の基準コード設定回路、1-2-6…加算器、1-2-7…アドレス合

成回路、28.~29.~デモ・ラップ・回路、30.~

で見るが、更にサブクロック SCP の周期を各種モードモリ回路、4ビット変シフトレジスタ回路、

モードで制御する簡単な回路を追加した表示駆動 5.1～5.5ビット・シフトレジスタ、5.2～5.5

フリップフロップ回路、156、-57…選択回路、

となく各種 L C D に最適なインターフェイス信号 58 … フリップ・フロップ回路 59 … 制御回路、

を作り出すことができ、さらにはCRTも駆動する 360…パルス発生回路, 615…サブクロック発生

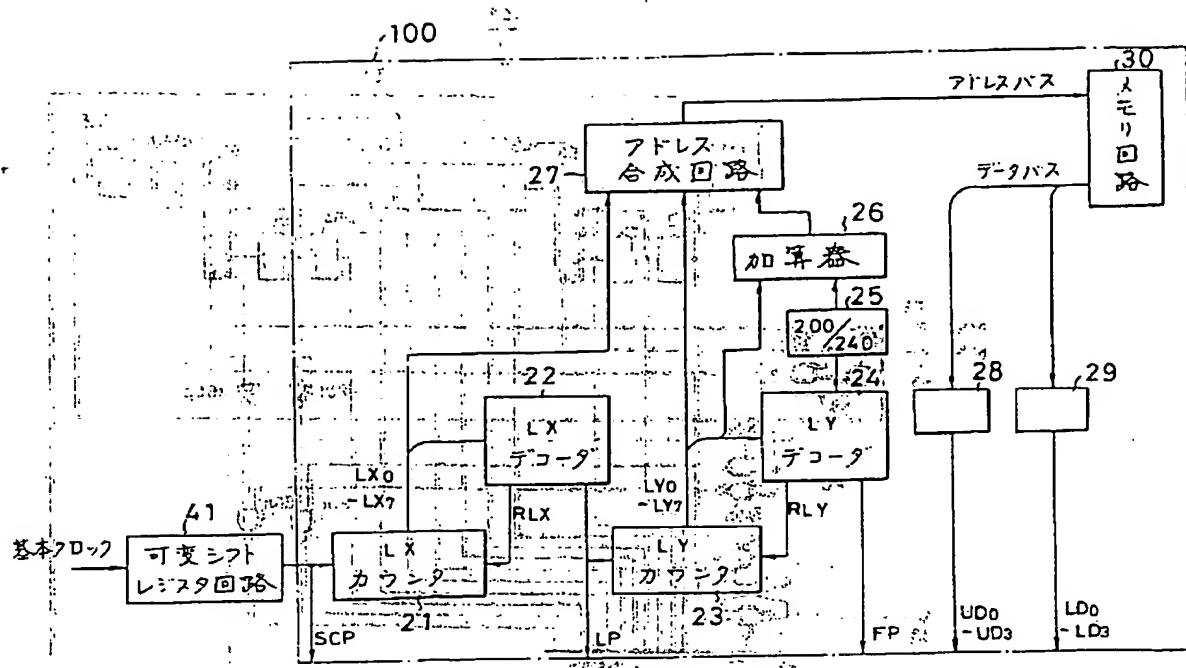
回路、100、200…表示駆動回路。

特に、この表示駆動回路 200 を柔軟化する場合、各表示部の表示内容を変更する。

会員登録の画面で有効である。

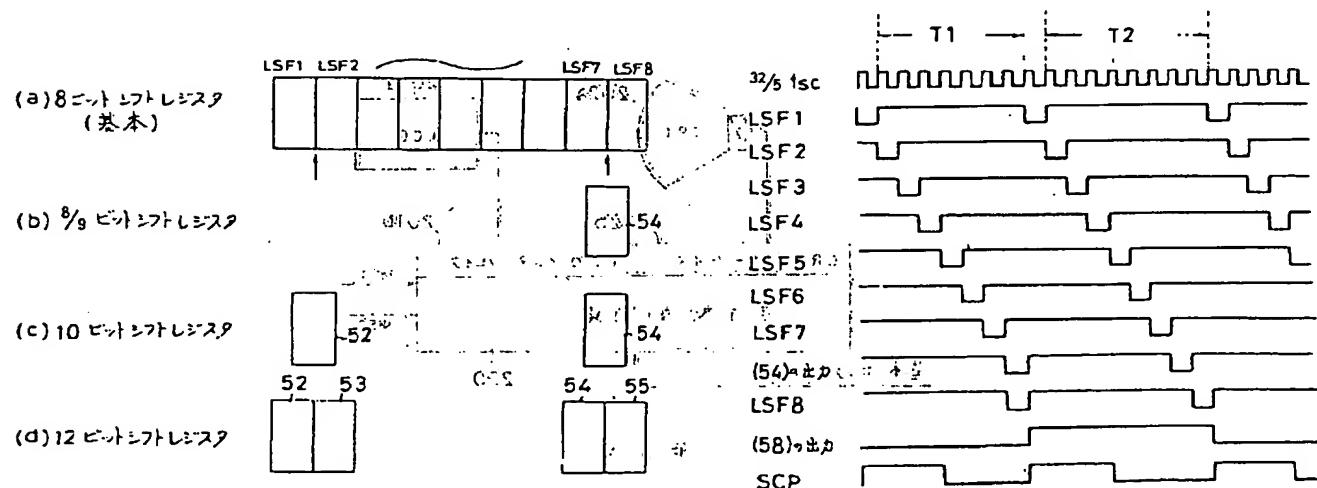
法期人代理人 井坂士・錦江武彦

出題人代理人 弁理士 紹江武蔵



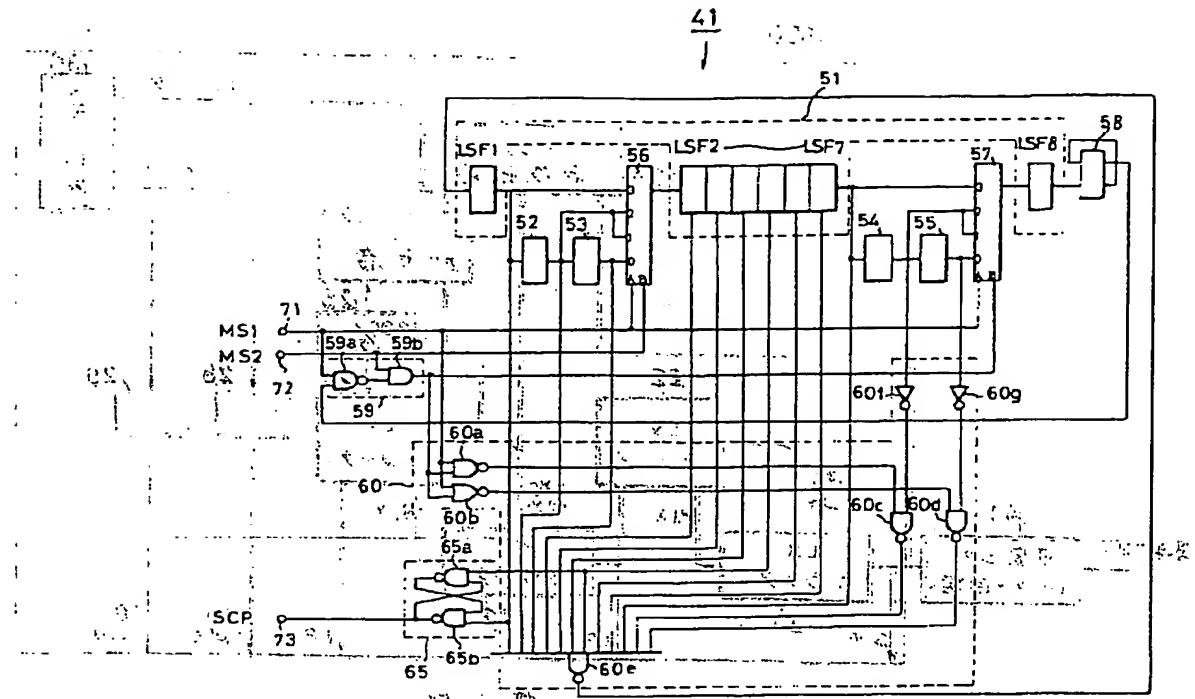
第1図

(一括請求する発明の範囲)



第2図

第4図



第 3 図 (三重シフトレジスタ回路)

